

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001－60568
(P2001－60568A)

(43)公開日 平成13年 3 月 6 日 (2001. 3. 6)

(51)Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 21/301		H 0 1 L 21/78	L 4 M 1 0 6
21/66		21/66	E

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21)出願番号 特願平11－234573

(22)出願日 平成11年 8 月20日 (1999. 8. 20)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72)発明者 大平 廣吉

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外 2 名)

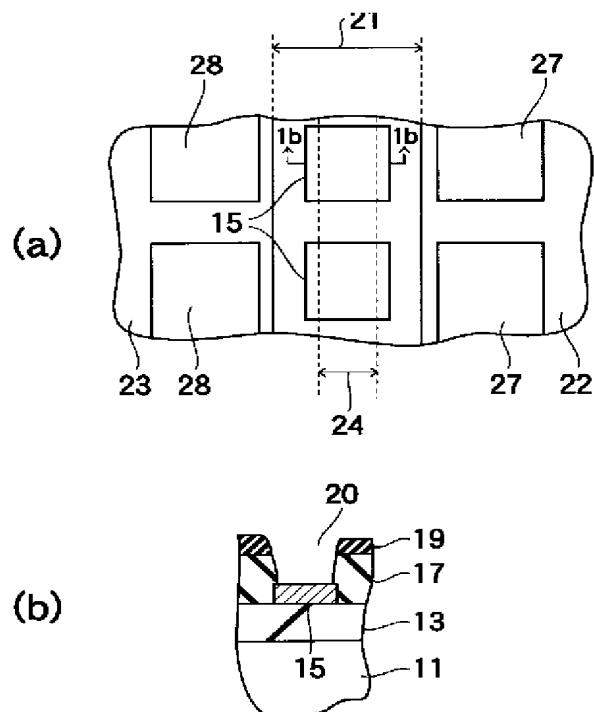
Fターム(参考) 4M106 AA01 AD02 AD08 BA01

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 スクライブ工程の際にチップサイドにA 1のかえりの発生を抑制することにより半導体チップの品質を向上させた半導体装置の製造方法を提供する。

【解決手段】 本発明に係る半導体装置の製造方法は、スクライブライン 2 1 にポリシリコンパッド 1 5 が形成されたウエハを準備する工程と、ポリシリコンパッド 1 5 にT E G測定のための測定用針を接触させてウエハの電気的な試験を行う工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップ 2 2, 2 3を形成する工程と、前記半導体チップにT C P実装を行う工程と、を具備するものである。これにより、チップサイドにA 1のかえりの発生を抑制できる。



【特許請求の範囲】

【請求項1】 スクライブラインにポリシリコンパッドが形成されたウエハを準備する工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップを形成する工程と、前記半導体チップにT C P実装を行う工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記ウエハを準備する工程において、スクライブラインに対して垂直方向のポリシリコンパッドの幅がダイシングブレードによるカット幅より広く形成されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記ウエハを準備する工程において、ポリシリコンパッド上にA 1パッドが形成され、スクライブラインに対して垂直方向のA 1パッドの幅がダイシングブレードによるカット幅より狭く形成されていることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 前記A 1パッドの幅が20 μ m以上80 μ m以下であることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記ポリシリコンパッドは、ウエハに電気的な試験を行う際に測定用針を接触させるものであることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項6】 前記A 1パッドは、ウエハに電気的な試験を行う際に測定用針を接触させるものであることを特徴とする請求項3又は4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係わり、特に、スクライブ工程の際にチップサイドにA 1のかえりの発生を抑制した半導体装置の製造方法に関する。

【0002】

【従来の技術】図3は、従来の半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。図4(a)、(b)は、図3に示す半導体チップにT C P(テープキャリアパッケージ)の実装工程を施している様子を示す断面図である。

【0003】まず、図3に示すようなウエハを製作する。このウエハは、半導体チップが形成されるチップ形成領域22、23及びスクライブライン21を有している。チップ形成領域22、23はスクライブライン21により分離されている。チップ形成領域22、23にはパッド27、28が形成されている。スクライブライン21上には複数のA 1パッド51が形成されている。A 1パッド51は、ウエハに形成されたT E G(Test Elementary Group)などに電気的な試験を行う際に測定用針を接触させるためのパッドである。

【0004】次に、このようなウエハ上のA 1パッド51を用いて電気的な試験を行い、その後、ウエハにダイシング工程を施す。すなわち、回転したダイシングブレード(刃物)を用いてウエハをスクライブライン21に沿って切断する。このようにしてウエハから半導体チップ(I Cチップ)22、23を分離する。なお、ダイシングブレードによるカット幅24がスクライブラインの幅21より狭いのは、ダイシングの際にスクライブライン上でダイシングブレードがずれてもチップ形成領域22、23を切断してしまうことがないようにするためである。

【0005】この後、分離されたI Cチップ22、23にはT C Pの実装工程が施される。

【0006】すなわち、図4(a)に示すように、まず、T A B(Tape Automated Bonding)テープを準備する。このT A Bテープはフレキシブルテープ81を有し、このフレキシブルテープ81上には接着剤(図示せず)によりボンディングリード(フィンガー)82が接続されている。ボンディングリード82はその先端にインナーリードを有している。

【0007】次に、図4(b)に示すように、このインナーリードをI Cチップ22のパッド27上に位置合わせし、インナーリードとパッド27を加熱及び加圧して圧着する。このようにしてT C P実装を行う。

【0008】

【発明が解決しようとする課題】ところで、上記従来の半導体装置の製造方法では、図3に示すように、A 1パッド51の幅が60 μ m程度であり、ダイシングブレードによるカット幅24が30 μ m程度であり、A 1パッド51の幅がカット幅24より広く形成されている。このため、スクライブ工程の際、A 1パッド51が完全に切断されず、切断後にA 1パッド51の一部が残ってしまい、その結果、チップサイドにA 1のかえりが発生する。A 1のかえりとは、半導体チップ22の外周付近(チップサイド)でA 1片が立ち上がった状態で残ったものである。A 1のかえりは、通常のワイヤボンディングでは特に問題とならないが、図4に示すようなT C P実装及びC S P(Chip Sized Package)等を製作する場合に問題となる。

【0009】つまり、最近のパッケージの縮小化により、I Cチップ22とそれをつなぐインナーリード(フィンガー82)との間隔が数十 μ m程度しかない。このため、A 1のかえりがチップサイドに発生すると、A 1のかえりとフィンガー82とが接触して基板とフィンガーのショートもしくはフィンガー間のショートが起こり、品質上大きな問題となり、そのI Cチップが不良となることがある。

【0010】本発明は上記のような事情を考慮してなされたものであり、その目的は、スクライブ工程の際にチップサイドにA 1のかえりの発生を抑制することにより

半導体チップの品質を向上させた半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置の製造方法は、スクライブラインにポリシリコンパッドが形成されたウエハを準備する工程と、ダイシングブレードを用いて前記ウエハをダイシングすることにより、複数の半導体チップを形成する工程と、前記半導体チップにTCP実装を行う工程と、を具備することを特徴とする。

【0012】上記半導体装置の製造方法では、スクライブラインに形成されるパッドの材質としてA1を用いず、A1より硬いポリシリコンを用いているため、ダイシングブレードを用いてウエハをスクライブラインに沿って切断した際、切断後のチップサイドにパッド材料のかえりが発生することを防止できる。従って、TCP実装の際、パッド材料のかえりとインナーリード（フィンガー）とが接触することがない。よって、半導体チップの品質も向上させることができる。

【0013】また、本発明に係る半導体装置の製造方法については、前記ウエハを準備する工程において、スクライブラインに対して垂直方向のポリシリコンパッドの幅がダイシングブレードによるカット幅より広く形成されていることも可能である。このようにポリシリコンパッドの幅が前記カット幅より広く形成されていても、スクライブラインのパッドの材質としてポリシリコンを用いているため、ダイシングブレードを用いてウエハをスクライブラインに沿って切断した際、チップサイドにパッド材料のかえりが発生することを防止できる。従って、TCP実装の際、パッド材料のかえりとインナーリードとが接触することがない。よって、半導体チップの品質も向上させることができる。

【0014】また、本発明に係る半導体装置の製造方法については、前記ウエハを準備する工程において、ポリシリコンパッド上にA1パッドが形成され、スクライブラインに対して垂直方向のA1パッドの幅がダイシングブレードによるカット幅より狭く形成されていることが好ましい。このようにポリシリコンパッド上にA1パッドを形成しているため、ウエハに電気的な試験を行う際に測定用針をA1パッドに接触させて導通を取ることが容易となる。また、A1パッドの幅をカット幅より狭く形成しているため、ダイシングブレードを用いてウエハをスクライブラインに沿って切断した際、A1パッドを完全に切り取ることができる。従って、切断後のチップサイドにA1のかえりが発生することを抑制できる。このため、TCP実装の際、A1のかえりとインナーリードとが接触することがない。よって、半導体チップの品質も向上させることができる。

【0015】また、本発明に係る半導体装置の製造方法においては、前記A1パッドの幅が20 μ m以上80 μ

m以下であることが好ましい。

【0016】また、本発明に係る半導体装置の製造方法において、前記ポリシリコンパッドは、ウエハに電気的な試験を行う際に測定用針を接触させるものであることが好ましい。また、前記A1パッドは、ウエハに電気的な試験を行う際に測定用針を接触させるものであることが好ましい。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の一実施の形態について説明する。

【0018】図1(a)は、本発明の第1の実施の形態による半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。図1(b)は、図1(a)に示す1b-1b線に沿った断面図である。

【0019】まず、図1(a)に示すウエハを製作する。このウエハは、半導体チップが形成されるチップ形成領域22、23及びスクライブライン21を有している。チップ形成領域22、23はスクライブライン21により分離されている。チップ形成領域22、23にはパッド27、28が形成されている。スクライブライン21上には複数のポリシリコンパッド15が形成されている。ポリシリコンパッド15は、ウエハに形成されたTEGなどに電気的な試験を行う際に測定用針を接触させるためのパッドである。スクライブラインに対して垂直方向のポリシリコンパッド15の幅は、後記ダイシングブレードによるカット幅24より広く形成されている。

【0020】図1(b)に示すように、シリコン基板11上には絶縁膜13が形成されており、この絶縁膜13上にはポリシリコンパッド15が形成されている。このポリシリコンパッド15及び絶縁膜13上にはシリコン酸化膜17が形成されており、シリコン酸化膜17上にはシリコン窒化膜19が形成されている。シリコン窒化膜19及びシリコン酸化膜17には、ポリシリコンパッド15上に位置する開口部20が形成されている。

【0021】次に、このようなスクライブライン上のポリシリコンパッド15を用いて電気的な試験を行い、その後、ウエハにダイシング工程を施す。すなわち、回転したダイシングブレード（刃物）を用いてウエハをスクライブライン21に沿って切断する。このようにしてウエハから半導体チップ（ICチップ）22、23を分離する。

【0022】この後、分離されたICチップ22、23にTCPの実装工程を施す。

【0023】すなわち、まず、TABテープを準備する。このTABテープは図4に示すものと同様である。この後、インナーリード（フィンガー）をICチップのパッド27上に位置合わせし、インナーリードとパッド27を加熱及び加圧して圧着する。このようにしてTCP実装を行う。

【0024】上記第1の実施の形態によれば、スクライブライン上のTEG用のパッド15の材質としてA1より硬いポリシリコンを用いている。このため、ポリシリコンパッド15におけるスクライブラインに対して垂直方向の幅を、ダイシングブレードによるカット幅24より広く形成しても、ダイシングブレードを用いてウエハをスクライブライン21に沿って切断した際、従来の半導体装置の製造方法のように切断後のチップサイドにパッド材料のかえりが発生することがない。従って、TCP実装の際、パッド材料のかえりとインナーリード（フィンガー）とが接触することがなく、シリコン基板11とフィンガーのショートもしくはフィンガー間のショートが起こることもない。よって、チップ不良が発生することを防止でき、ICチップの品質も向上させることができる。

【0025】また、チップ内のポリシリコン配線を形成する際に、ポリシリコンパッド15も同時に形成すれば、従来技術と同様の製造プロセスを用いて本実施の形態を実施することが可能となる。但し、ポリシリコン配線を形成する際に用いるフォトマスクだけは変更する必要がある。

【0026】尚、ポリシリコンパッド15は、A1パッドに比べて抵抗値が大きく、材質的にも硬いが、TEG測定時に測定用針と導通を取るとは十分に可能であると考えられる。

【0027】また、上記第1の実施の形態では、スクライブラインに対して垂直方向のポリシリコンパッド15の幅を、ダイシングブレードによるカット幅24より広く形成しているが、ポリシリコンパッド15の幅をカット幅より狭く形成することも可能である。

【0028】図2(a)は、本発明の第2の実施の形態による半導体装置の製造方法を説明するものであってウエハの一部を示す平面図であり、図2(b)は、図2(a)に示す2b-2b線に沿った断面図である。図2(a)、(b)においては、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0029】まず、図2(a)に示すウエハを製作する。このウエハのスクライブライン21上には複数のポリシリコンパッド15が形成されており、ポリシリコンパッド15上にはA1パッド16が形成されている。A1パッド16は、ウエハに形成されたTEGなどに電気的な試験を行う際に測定用針を接触させるためのパッドである。スクライブラインに対して垂直方向のA1パッド16の幅は、ダイシングブレードによるカット幅24より狭く形成されており、具体的には例えば20 μ m以上80 μ m以下であることが望ましい。また、スクライブラインに対して平行方向のA1パッド16の長さは、前記垂直方向のA1パッド16の幅より長く形成されている。これは、前記電気的な試験を行う際、A1パッド16に前記測定用針を接触させやすくするためである。

【0030】図2(b)に示すように、ポリシリコンパッド15上にはA1パッド16が形成されており、A1パッド16は開口部20から露出されている。また、A1パッド16の大きさはポリシリコンパッド15のそれより小さい。

【0031】次に、このようなスクライブライン上のA1パッド16を用いて電気的な試験を行う。

【0032】上記第2の実施の形態においても第1の実施の形態と同様の効果を得ることができる。

10 【0033】また、本実施の形態では、ポリシリコンパッド15上にA1パッド16を形成しているため、第1の実施の形態に比べてTEG測定時に測定用針との導通を取ることが容易となる。つまり、第1の実施の形態のようにポリシリコンパッドのみであると、TEG測定時に測定用針と導通を取るための多少の工夫が必要であるが、ポリシリコンパッド15上にA1パッドを付加することにより、従来技術と同様の測定方法で確実に導通を取ることが可能となる。

20 【0034】また、本実施の形態では、A1パッド16におけるスクライブラインに対して垂直方向の幅を、ダイシングブレードによるカット幅24より狭く形成している。このため、ダイシングブレードを用いてウエハをスクライブライン21に沿って切断した際、A1パッド16を完全に切り取ることができる。従って、従来の半導体装置の製造方法のように切断後のチップサイドにA1のかえりが発生することがない。そのため、TCP実装の際、A1のかえりとインナーリード（フィンガー）とが接触することがなく、シリコン基板11とフィンガーのショートもしくはフィンガー間のショートが起こることもない。よって、チップ不良が発生することを防止でき、ICチップの品質も向上させることができる。

30 【0035】また、チップ内のポリシリコン配線を形成する際に、ポリシリコンパッド15も同時に形成し、チップ内のA1配線を形成する際に、A1パッド16も同時に形成すれば、従来技術と同様の製造プロセスを用いて本実施の形態を実施することが可能となる。但し、ポリシリコン配線及びA1配線を形成する際に用いるフォトマスクだけは変更する必要がある。

40 【0036】尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。例えば、上記実施の形態では、平面形状が長方形のポリシリコンパッド15を用いているが、ポリシリコンパッドの形状は発明の主旨に反しない限り他の形状に変更することも可能である。

【0037】また、上記第2の実施の形態では、平面形状が長方形のA1パッド16を用いているが、他の形状のA1パッドを用いることも可能である。

50 【0038】また、上記第2の実施の形態では、パッシベーション膜としてシリコン窒化膜19を用いているが、パッシベーション膜としてシリコン酸化膜を用いる

ことも可能である。この場合、パッシベーション膜及びシリコン酸化膜17に開口部20を形成する際、ポリシリコンパッド15がエッチングストッパーとして作用するという利点がある。

【0039】

【発明の効果】以上説明したように本発明によれば、ウエハを準備する工程において、スクライブラインに形成されるパッドの材質としてA1を用いず、A1より硬いポリシリコンを用いている。したがって、スクライブ工程の際にチップサイドにA1のかえりの発生を抑制する

10

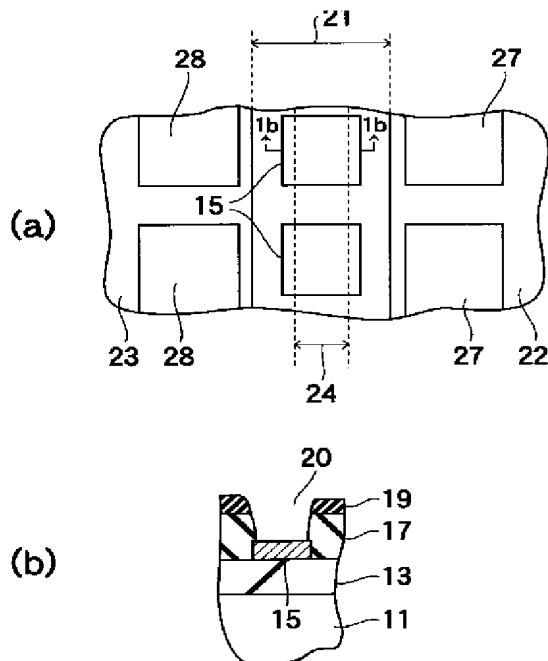
【図面の簡単な説明】

【図1】図1(a)は、本発明の第1の実施の形態による半導体装置の製造方法を説明するものであってウエハの一部を示す平面図であり、図1(b)は、図1(a)に示す1b-1b線に沿った断面図である。

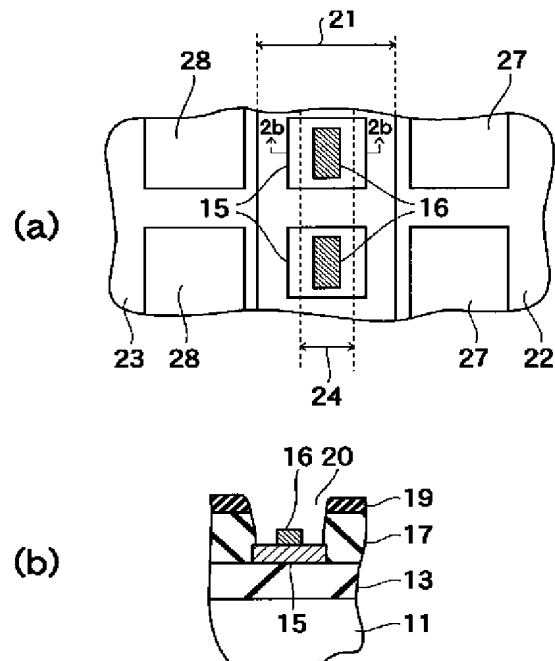
【図2】図2(a)は、本発明の第2の実施の形態による半導体装置の製造方法を説明するものであってウエハの一部を示す平面図であり、図2(b)は、図2(a)に示す2b-2b線に沿った断面図である。

20

【図1】



【図2】



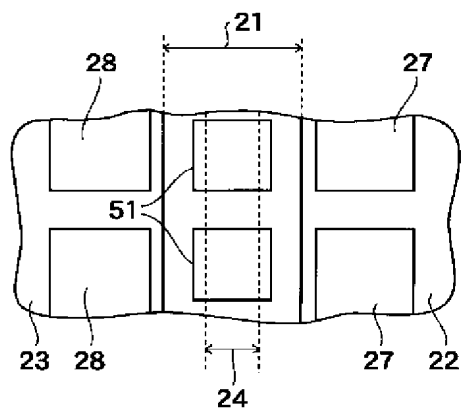
【図3】従来の第1の半導体装置の製造方法を説明するものであり、ウエハの一部を示す平面図である。

【図4】図4(a), (b)は、図3に示す半導体チップにTCPの実装工程を施している様子を示す断面図である。

【符号の説明】

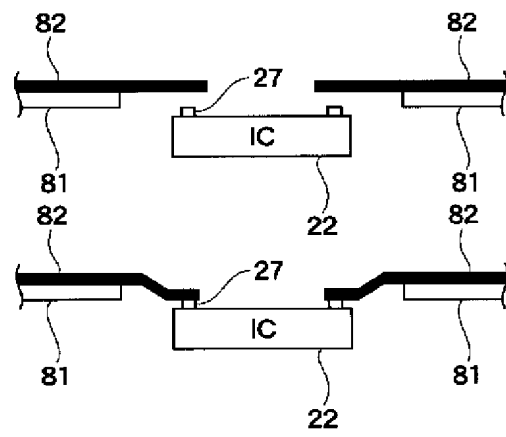
- 11 シリコン基板
- 13 絶縁膜
- 15 ポリシリコンパッド
- 16 A1パッド
- 17 シリコン酸化膜
- 19 シリコン窒化膜
- 20 開口部
- 21 スクライブライン
- 22, 23 チップ形成領域 (ICチップ)
- 24 ブレードによるカット幅
- 27, 28 パッド
- 51 A1パッド
- 81 フレキシブルテープ
- 82 ボンディングリード (フィンガー)

【図3】

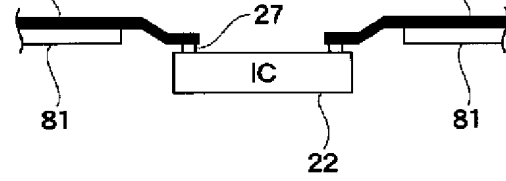


【図4】

(a)



(b)



PAT-NO: JP02001060568A
DOCUMENT-IDENTIFIER: JP 2001060568 A
TITLE: METHOD OF MANUFACTURING
SEMICONDUCTOR DEVICE
PUBN-DATE: March 6, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
OHIRA, HIROYOSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	N/A

APPL-NO: JP11234573
APPL-DATE: August 20, 1999

INT-CL (IPC): H01L021/301 , H01L021/66

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device, which improves the quality of a semiconductor chip by suppressing Al from burring to the chip side in a scribing step.

SOLUTION: This manufacturing method comprises a step of preparing wafer, having polysilicon pads 15 formed along scribe lines 21, a step of

electrically testing the wafer by contacting a test needle for measuring test elementary groups to the pads 15, a step of dicing the wafer by a dicing blade to form a plurality of semiconductor chips 22, 23 and a step of mounting the semiconductor chips on a tape carrier package. Thus A1 can be suppressed from burring to the chip side.

COPYRIGHT: (C) 2001, JPO